

Arquitectura Compacta Basada en AD para la Discriminación de las Respuestas de Neuronas

Asesores

Dr. Jose Luis TecpanecatI Xihuitl, Dr. Cesar Torres Huitzil, CINVESTAV-Tamaulipas

Motivación

Actualmente el avance en tecnologías de circuitos integrados ha permitido que cada 18 meses, como lo predijo Moore, se duplique la cantidad de transistores en una misma área. Por lo anterior, es más común hoy en día diseños de sistemas más complejos como los multiprocesadores de propósito genérico, para aplicaciones de una alta demanda de cómputo, especialmente de sistemas de procesamiento de señales en tiempo real.

Las áreas de investigación de sistemas en tiempo real que actualmente están mostrando un mayor desarrollo son las áreas relacionadas con el procesamiento de video. Estas áreas incluyen las comunicaciones donde la compresión de video para almacenamiento o para su transmisión en tiempo real resulta cada vez más importante en las diferentes aplicaciones. Video vigilancia es otra de las áreas que tiene un importante desarrollo en grandes ciudades así como en lugares cerrados como aeropuertos. Por otro lado, el poder de cómputo de multiprocesamiento de propósito específico permite la simulación de sistemas complejos de gran escala basados en modelos biológicos como la simulación del cerebro humano.

Los campos neuronales dinámicos (DNF) basados en teoría de campos neuronales introducidos en 1972 han sido aplicados en áreas como video tracking, clasificación de patrones de movimiento, reconocimiento de objetos, percepción multimodal o robots cognitivos. Muchas de las aplicaciones antes mencionadas requieren de procesamiento dedicado en tiempo real, de la misma manera el modelado de neuronas de manera digital resulta atractivo por la alta integración que se obtiene actualmente en dispositivos lógico programables como los FPGAs. Sin embargo, la complejidad computacional y área resultan factores importantes a considerar en una implementación e incrementar su densidad y así extender su aplicación de estos modelos.

Objetivo

El objetivo de este trabajo de tesis es implementar una arquitectura compacta basada en aritmética distribuida (AD) con alto desempeño en una plataforma basada en FPGA para la discriminación de las respuestas de neuronas al ser medidas por electrodos. La señal usualmente está compuesta por la respuesta de varias neuronas y hay que separarlas en componentes.

Metodología

- Realizar una revisión de la parte teórica del modelo de neurón pulsar aleatoria así como el análisis de su complejidad computacional.
- Realizar un análisis de las posibles arquitecturas de baja complejidad y área reducida, para la implementación de un modelo de neurón pulsar aleatoria utilizando NEDA (New Distributed Arithmetic).
- Realizar la descripción del sistema digital y su verificación en una plataforma basada en FPGAs.

Calendario de Actividades

Actividades	1	2	3	4	5	6	7	8	9	10	11	12
Revisión del estado del arte	■	■	■	■	■	■	■	■	■	■	■	■
Análisis de arquitecturas			■	■	■	■						
Implementación y verificación de propuesta						■	■	■	■	■	■	■
Escritura de Tesis				■	■	■	■	■	■	■	■	■

Materias por cursar

- Procesamiento Digital de Imágenes
- Tópicos Selectos de Ingeniería Electrónica

Bibliografía

1. Benoit Chappet de Veangel, Cesar Torres Huitzil, Bernard Girau, "Randomly apiking dynamic neural fileds", Journal of Emerging Technologies in Computing Systems, 2013.
2. César Torres-Huitzil, Bernard Girau, Claudio Castellanos-Sánchez, On-chip visual perception of motion: A bio-inspired connectionist model on FPGA, Neural Networks, Volume 18, Issues 5–6, July–August 2005, Pages 557-565, ISSN 0893-6080.
3. Shams, A.M.; Chidanandan, A.; Pan, W.; Bayoumi, M.A., "NEDA: a low-power high-performance DCT architecture," Signal Processing, IEEE Transactions on , vol.54, no.3, pp.955,964, March 2006
4. TecpanecatI-Xihuit, J.Luis; Aguilar-Ponce, Ruth M.; Bayoumi, M., "Hybrid multiplierless FIR filter architecture based on NEDA," Very Large Scale Integration, 2007. VLSI - SoC 2007. IFIP International Conference on , vol., no., pp.316,319, 15-17 Oct. 2007